

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170374
 (43)Date of publication of application : 14.06.2002

(51)Int.CI. G11C 11/15
 G11C 11/14
 H01L 27/105
 H01L 43/08

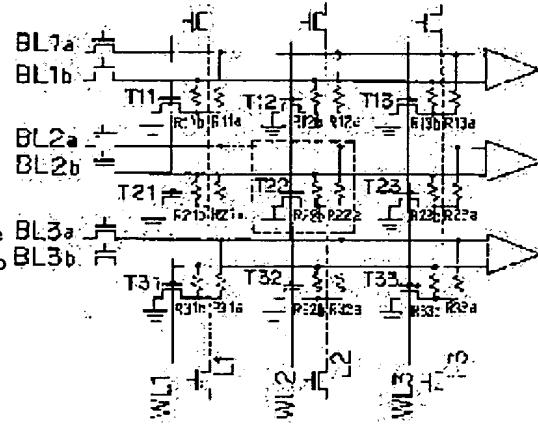
(21)Application number : 2000-361157 (71)Applicant : CANON INC
 (22)Date of filing : 28.11.2000 (72)Inventor : HIRAI MASAHIKO
 NISHIMURA NAOKI

(54) FERROMAGNETIC NON-VOLATILE STORAGE ELEMENT, ITS INFORMATION REPRODUCING METHOD, MEMORY CHIP USING IT, AND PORTABLE INFORMATION PROCESSING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ferromagnetic non-volatile storage element in which cell area can be reduced, storage information can be detected at high speed and accurately even if a magnetic resistance variation rate is small, and can be integrated in high density.

SOLUTION: A unit cell constituting a memory of one bit is constituted of two magnetic resistance elements R22a, R22b magnetized so that respective direction of magnetization is reverse direction, and one semiconductor switch element T22 for selecting these magnetic resistance elements. In the semiconductor switch element, a drain terminal is connected commonly to one side of terminals of the magnetic resistance elements R22a, R22b, a source terminal is connected to ground, and a gate terminal is connected to a word line WL2. Other terminals of the magnetic resistance elements R22a, R22b are connected to bit lines BL1a, BL1b respectively.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

This Page Blank (uspto)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-170374
(P2002-170374A)

(43)公開日 平成14年6月14日(2002.6.14)

(51)Int.Cl.⁷
G 1 1 C 11/15
11/14
H 0 1 L 27/105
43/08

識別記号

F I
G 1 1 C 11/15
11/14
H 0 1 L 43/08

テーマコード(参考)
5 F 0 8 3
A
A
Z

27/10 4 4 7

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21)出願番号 特願2000-361157(P2000-361157)

(22)出願日 平成12年11月28日(2000.11.28)

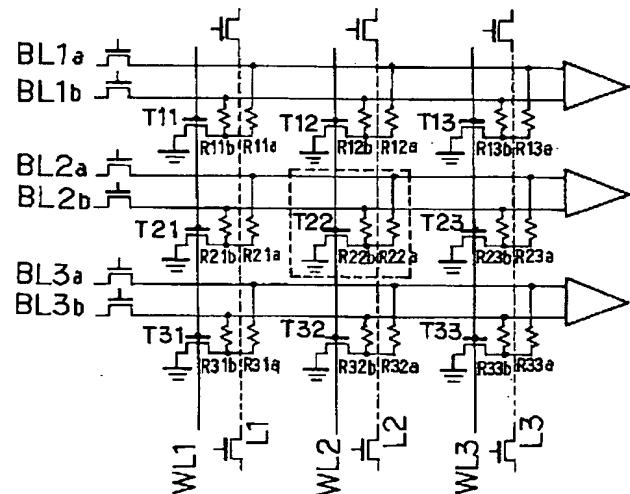
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 平井 匠彦
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 西村 直樹
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 100088328
弁理士 金田 幡之 (外2名)
Fターム(参考) 5F083 FZ10 GA09 JA39 LA12 LA16.
MA06 MA16 MA19 MA08

(54)【発明の名称】 強磁性体不揮発性記憶素子およびその情報再生方法ならびにそれを用いたメモリチップおよび携帯型情報処理装置

(57)【要約】

【課題】セル面積を小さくすることができるとともに、磁気抵抗変化率が小さくとも、高速、かつ、正確に記憶情報を検出することができる、高度に集積可能な強磁性体不揮発性記憶素子を提供する。

【解決手段】1ビットのメモリを構成する単位セルが、互いの磁化の向きが反対向きとなるように磁化される2個の磁気抵抗素子R22a、R22bと、これら磁気抵抗素子を選択するための1つの半導体スイッチ素子T22とから構成されている。半導体スイッチ素子は、ドレイン端子が磁気抵抗素子R22a、R22bの一方の端子に共通に接続され、ソース端子が接地され、ゲート端子がワード線WL2に接続されている。磁気抵抗素子R22a、R22bの他方の端子はそれぞれピット線BL1a、BL1bに接続されている。



【特許請求の範囲】

【請求項1】 1ビットのメモリを構成する単位セルが、互いの磁化の向きが反対向きとなるように磁化される第1および第2の磁気抵抗素子と、これら第1および第2の磁気抵抗素子を選択するための1つの半導体スイッチ素子とから構成されていることを特徴とする強磁性体不揮発性記憶素子。

【請求項2】 前記半導体スイッチ素子は、ドレイン端子が前記第1および第2の磁気抵抗素子のそれぞれの一方の端子に共通に接続され、ソース端子が接地され、ゲート端子に所定の電圧が印加されることでそれらドレイン端子とソース端子とが電気的に接続されるように構成されており、

前記第1、第2の磁気抵抗素子の他方の端子がそれぞれ接続された第1、第2のビット線と、

前記第1および第2のビット線に生じる、前記第1および第2の磁気抵抗素子の磁化状態に応じた電圧値を比較するセンスアンプとをさらに有することを特徴とする請求項1に記載の強磁性体不揮発性記憶素子。

【請求項3】 前記第1、第2の磁気抵抗素子の一方の端子がそれぞれダイオードを介して前記半導体スイッチ素子のドレイン端子に接続されていることを特徴とする請求項2に記載の強磁性体不揮発性記憶素子。

【請求項4】 前記第1、第2の磁気抵抗素子はそれぞれ所定の方向に磁化容易軸を有する第1、第2の強磁性体膜を備え、前記第1のビット線の一部が前記第1の強磁性体膜の直上に位置し、前記第2のビット線の一部が前記第2の強磁性体膜の直上に位置しており、

前記第1および第2の強磁性体膜の直下を通り書き込み配線をさらに有し、

前記第1のビット線および書き込み配線の双方に所定の大きさの電流を所定の方向に流すことで生じる磁場によって前記第1の強磁性体膜が磁化容易軸に沿って所定の方向に磁化されるとともに、前記第2のビット線および書き込み配線の双方に所定の大きさの電流を所定の方向に流すことで生じる磁場によって前記第2の強磁性体膜が磁化容易軸に沿って所定の方向に磁化されるように構成されていることを特徴とする請求項2に記載の強磁性体不揮発性記憶素子。

【請求項5】 前記第1および第2の磁気抵抗素子がトンネル磁気抵抗素子より構成されていることを特徴とする請求項1に記載の強磁性体不揮発性記憶素子。

【請求項6】 前記トンネル磁気抵抗素子を構成する強磁性体膜が、膜の面内方向に対して水平方向に磁化されることを特徴とする請求項5に記載の強磁性体不揮発性記憶素子。

【請求項7】 前記トンネル磁気抵抗素子を構成する強磁性体膜が、膜の面内方向に対して垂直方向に磁化されることを特徴とする請求項5に記載の強磁性体不揮発性記憶素子。

【請求項8】 前記第1および第2の磁気抵抗素子は、隣接して配置されていることを特徴とする請求項1に記載の強磁性体不揮発性記憶素子。

【請求項9】 前記半導体スイッチ素子が、SiGeを主体としたチャネル領域を有する電界効果型トランジスタであることを特徴とする請求項1に記載の強磁性体不揮発性記憶素子。

【請求項10】 前記半導体スイッチ素子が形成される基板がSOI基板であることを特徴とする請求項1に記載の強磁性体不揮発性記憶素子。

【請求項11】 所定の電圧が供給される第1、第2のビット線にそれぞれ接続された、互いの磁化の向きが反対向きとなるように磁化される第1、第2の磁気抵抗素子と、これら第1および第2の磁気抵抗素子を選択するための1つの半導体スイッチ素子とから1ビットのメモリを構成する単位セルが構成される強磁性体不揮発性記憶素子の情報再生方法であって、

前記半導体スイッチ素子をオン状態として前記第1および第2の磁気抵抗素子を選択し、該選択した第1の磁気抵抗素子の磁気抵抗値に応じて生じる前記第1のビット線の第1の電圧値と、該選択した第2の磁気抵抗素子の磁気抵抗値に応じて生じる前記第2のビット線の第2の電圧値とを比較し、

第1の電圧値>第2の電圧値の場合を第1の情報とし、

第1の電圧値<第2の電圧値の場合を第2の情報として読み出すことを特徴とする情報再生方法。

【請求項12】 請求項1から10のいずれかに記載の強磁性体不揮発性記憶素子が半導体基板上に形成されたメモリチップ。

【請求項13】 前記強磁性体不揮発性記憶素子における情報の書き込みおよび読み出しの制御を行う制御回路が同一基板上に形成された請求項12に記載のメモリチップ。

【請求項14】 請求項1から10のいずれかに記載の強磁性体不揮発性記憶素子よりなるプログラム格納メモリと、該プログラム格納メモリに格納されたプログラムに従って動作する制御手段とを有することを特徴とする携帯型情報処理装置。

【請求項15】 有線回線または無線回線を介した情報の送受信が可能な通信手段をさらに有し、前記制御手段が、前記通信手段を介した情報の送受信を制御することを特徴とする請求項14に記載の携帯型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、記憶素子に関し、特に、強磁性体を用いた不揮発性記憶素子に関する。さらには、そのような記憶素子を用いたメモリチップおよび携帯型情報処理装置に関する。

【0002】

【従来の技術】一般に、強磁性体は、外部から印加した磁場によって強磁性体内に発生した磁化が、外部磁場を取り除いた後にも残留する（これを残留磁化という）特性を持っている。このような強磁性体は、磁化の方向、磁化の有無などによって電気抵抗が変化する、いわゆる磁気抵抗効果をもつ。大きな磁気抵抗効果を持つ材料としては、巨大磁気抵抗（GMR；Giant Magneto-Resistance）材料、超巨大磁気抵抗（CMR；Colossal Magneto-Resistance）材料があり、いずれも金属、合金、複合酸化物などからなる。このような磁気抵抗材料の磁化方向の選択、磁化の有無による電気抵抗値の変化を利用してすることで不揮発性メモリ（電源を切っても記憶を失わないメモリ）を構成することができる。これが、いわゆる磁気メモリ（MRAM；Magnetic Random Access Memory）である。

【0003】最近開発が進められているMRAMの多くは、強磁性体の巨大磁気抵抗現象を用い、磁化方向の違いによって生じる磁気抵抗率の変化を電圧に変換して読み出す方式を探っている。このようなMRAMの強磁性体セルにおける情報の書き換えは、書き込み用配線に電流を流し、その電流により誘起された磁場によって強磁性体セルの磁化方向を変換させることによって行われる。その強磁性体セルの構造や駆動方法については、R.E.Schuerlein (1998 Proc. of Int NonVolatile Memory Conf. P47) によって示されており、交差した書き込み・読み出し線を1対ずつ計2対配したものや、交差した書き込み・読み出し線を兼ねた1対の配線と巨大磁気抵抗薄膜を含むメモリセルとこれに直列に接続したダイオードからなるものが提案されている。

【0004】また、特開平6-84347号公報に記載されているような、交差した書き込み・読み出し線を兼ねた1対の配線とセル選択用の電界効果型トランジスタと巨大磁気抵抗薄膜を含むメモリセルを組み合わせた磁性薄膜メモリもある。この磁性薄膜メモリのメモリセルの概略構成を図15に示す。

【0005】図15を参照すると、この磁性薄膜メモリは、行方向に複数配設されたセンス線104と、これらセンス線104と交差するように列方向に複数配設されたデータ線103と、これらセンス線104とデータ線103の各交差部に設けられた、磁性薄膜メモリ素子101とFETなどのスイッチング素子102からなるメモリセルとから構成されている。スイッチング素子102は、ソース（またはドレイン）がデータ線103と接続され、ゲートがセンス線104と接続され、ドレイン（またはソース）が磁性薄膜メモリ素子101の一端と接続されている。磁性薄膜メモリ素子101の他端は接地されている。データ線103には、抵抗106が直列に接続されている。

【0006】この磁性薄膜メモリでは、「1」の記録を

行う場合は、まず、データ線103に+3Vの電圧をかける。次いで、センス線104に+4Vの電圧をかけると、スイッチング素子102がオンされ、磁性薄膜メモリ素子101およびデータ線105に比較的大きな電流が流れる。データ線105はその一部が磁性薄膜メモリ素子101の直下に位置しており、このデータ線105に電流が流れることによって生じる磁界により、磁性薄膜メモリ素子101の磁性層の磁化の向きが所定の方向に向くことになる。

【0007】一方、「0」の記録を行う場合は、データ線103に-3Vの電圧をかけ、センス線104に-4Vの電圧をかける。これにより、スイッチング素子102がオンされ、磁性薄膜メモリ素子101およびデータ線105に比較的大きな電流（上記「1」の記録の場合とは反対向きの電流）が流れる。このデータ線105に電流が流れることによって生じる磁界により、磁性薄膜メモリ素子101の磁性層の磁化の向きが、上記「1」の記録の場合とは反対の向きとなる。

【0008】以上のような「1」、「0」の磁化状態を20利用して、メモリへの「1」、「0」の情報記録が行われる。具体的には、磁性薄膜メモリ素子の第1および第2の磁性層の磁化状態を、ともに「0」の磁化状態（この場合は、各磁性層の磁化の向きが同じ向きになる）とした場合を、「0」の情報記録とし、第1および第2の磁性層の磁化状態をそれぞれ「1」、「0」の磁化状態（この場合は、各磁性層の磁化の向きが逆向きになる）とした場合を、「1」の情報記録とする。

【0009】上記の情報記録では、磁性薄膜メモリ素子の抵抗値が各磁性層の磁化の向きによって異なることを30利用している。情報の読み出しにおいても、磁性薄膜メモリ素子の抵抗値が各磁性層の磁化の向きによって異なることを利用する。すなわち、上記のようにして情報記録が行われた磁性薄膜メモリ素子の抵抗値に応じた電圧変化を検出することにより情報の読み出しが行われる。

【0010】最近では、上述したような磁気メモリ素子をチップ化して、携帯型情報処理装置（携帯型のパーソナルコンピュータ、携帯電話機などを含む）のプログラム格納メモリとして用いる試みがなされている。

【0011】40【発明が解決しようとする課題】上述したように巨大磁気抵抗薄膜を含むメモリセルでは、磁化の方向によって電流抵抗値が異なる、いわゆる磁気抵抗効果を利用して情報の記憶、再生が行われるが、一般にその磁気抵抗変動率は小さい。例えば、大きな磁気抵抗変動率を示すトンネル磁気抵抗素子（Tunnel Magneto-Resistance；TMR）の場合でも、0.3V程度の電圧印加時に20～30%以下の抵抗変動しか起こさず、印加電圧が大きくなると急速に磁気抵抗変動率は小さくなる。一方、高集積のシリコン半導体デバイス作製技術によって形成されるメモリでは通常、1～5V程度の電圧を印加し、0.1～

0.2V程度以上の電圧変動を検知する。このことから分かるように、MRAMは、メモリセルに小さな電圧しかかけられない上、磁気抵抗の変動幅が小さいために、シリコン半導体デバイス作製技術を用いて高集積のMRAMを作製することはきわめて困難である。

【0012】この課題を克服するものとして、1セルを2個の電界効果型トランジスタと2個のトンネル磁気抵抗素子(TMR)を組み合わせた構成(2T2R)のものが提案されている(2000 Proc. of Int Solid-State Circuits Conf. P128)。この2T2R構造のメモリセルを図16に示す。

【0013】図16において、メモリセル200は、抵抗が相補的に設定される2個のTMR素子R1a、R1bと、2個の電界効果型トランジスタTR1a、TR1bとからなる。各電界効果型トランジスタTR1a、TR1bのゲートは読み出し線RL1に接続されており、記憶情報を読み出す際は、電界効果型トランジスタTR1aによってTMR素子R1aが選択され、電界効果型トランジスタTR1bによってTMR素子R1bが選択されるようになっている。TMR素子R1aの一端がセンス線SL1aに接続され、TMR素子R1bの一端がセンス線SL1bに接続されており、各センス線SL1a、SL1b間の電位を比較することにより記憶情報が読み出される。TMR素子R1aへの情報の書き込み(磁化)は、書き込み線WL1とセンス線SL1aに電流を流すことにより行われ、TMR素子R1bへの情報の書き込み(磁化)は、書き込み線WL1とセンス線SL1bに電流を流すことにより行われる。

【0014】上記の2T2R構造のメモリセルを有する記憶素子の場合は、2個のTMRの抵抗が相補的に設定されることにより、信号強度を大きくすることができる。しかしながら、1つのセルに2個の電界効果型トランジスタを必要とするため、1T1R構造のもの(1セルを1個の電界効果型トランジスタと1個のTMRを組み合わせた構成)と比較して、セル面積が約2倍大きくなるという欠点を有する。

【0015】特開平6-84347号公報に記載の1T1R構造のものは、セル面積を小さくすることが可能であり、磁性薄膜メモリの各磁性層の磁化の向きが同方向の場合と互いに逆向きになる場合とで抵抗値をある程度変化させることができる。しかしながら、高度に集積化する場合には、やはり、磁気抵抗の変動幅がまだまだ小さく、記憶情報を高速、かつ、正確に安定して検出することは難しい。

【0016】以上のような実状から、巨大磁気抵抗薄膜を含むメモリセルを備えた従来の強磁性体不揮発性記憶素子では、高度に集積化する場合に、以下のような問題を有する。

【0017】十分な信号強度を得るためにセル面積を大きくする必要があり、小型化の面で不利なものとな

る。

【0018】さらに、検出電圧を印加した際の磁気抵抗変動率が小さいため、記憶情報を高速、かつ、正確に安定して検出することが難しい。

【0019】上記のような問題から、従来の強磁性体記憶素子では、DRAM(Dynamic Random Access Memory)などに対抗できる素子を実現することはまだまだ難しかった。また、最近では、強磁性体記憶素子を携帯型情報処理装置のプログラム格納メモリとして用いることが試みられているが、上記のような問題から、DRAMを用いたものと同等の性能を有するメモリはこれまでに実現されておらず、そのような装置の実現も課題の一つとなっていた。

【0020】本発明の目的は、上記従来の課題を解決し、セル面積を小さくすることができるとともに、磁気抵抗変動率が小さくとも、高速、かつ、正確に記憶情報を検出することができる、高度に集積可能な強磁性体不揮発性記憶素子およびその情報再生方法を提供することにある。

【0021】本発明の他の目的は、そのような強磁性体不揮発性記憶素子を有する、メモリチップおよび携帯型情報処理装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するため、本発明の強磁性体不揮発性記憶素子は、1ビットのメモリを構成する単位セルが、互いの磁化の向きが反対向きとなるように磁化される第1および第2の磁気抵抗素子と、これら第1および第2の磁気抵抗素子を選択するための1つの半導体スイッチ素子とから構成されていることを特徴とする。

【0023】上記の場合、前記半導体スイッチ素子は、ドレイン端子が前記第1および第2の磁気抵抗素子のそれぞれの一方の端子に共通に接続され、ソース端子が接地され、ゲート端子に所定の電圧が印加されることでそれらドレイン端子とソース端子とが電気的に接続されるように構成されており、前記第1、第2の磁気抵抗素子の他方の端子がそれぞれ接続された第1、第2のビット線と、前記第1および第2のビット線に生じる、前記第1および第2の磁気抵抗素子の磁化状態に応じた電圧値を比較するセンスアンプとをさらに有するように構成してもよい。

【0024】また、前記第1、第2の磁気抵抗素子の一方の端子がそれぞれダイオードを介して前記半導体スイッチ素子のドレイン端子に接続されるように構成してもよい。

【0025】さらに、前記第1、第2の磁気抵抗素子はそれぞれ所定の方向に磁化容易軸を有する第1、第2の強磁性体膜を備え、前記第1のビット線の一部が前記第1の強磁性体膜の直上に位置し、前記第2のビット線の一部が前記第2の強磁性体膜の直上に位置しており、前

記第1および第2の強磁性体膜の直下を通過する書き込み配線をさらに有し、前記第1のピット線および書き込み配線の双方に所定の大きさの電流を所定の方向に流すことで生じる磁場によって前記第1の強磁性体膜が磁化容易軸に沿って所定の方向に磁化されるとともに、前記第2のピット線および書き込み配線の双方に所定の大きさの電流を所定の方向に流すことで生じる磁場によって前記第2の強磁性体膜が磁化容易軸に沿って所定の方向に磁化されるように構成してもよい。

【0026】本発明の情報再生方法は、所定の電圧が供給される第1、第2のピット線にそれぞれ接続された、互いの磁化の向きが反対向きとなるように磁化される第1、第2の磁気抵抗素子と、これら第1および第2の磁気抵抗素子を選択するための1つの半導体スイッチ素子とから1ピットのメモリを構成する単位セルが構成される強磁性体不揮発性記憶素子の情報再生方法であって、前記半導体スイッチ素子をオン状態として前記第1および第2の磁気抵抗素子を選択し、該選択した第1の磁気抵抗素子の磁気抵抗値に応じて生じる前記第1のピット線の第1の電圧値と、該選択した第2の磁気抵抗素子の磁気抵抗値に応じて生じる前記第2のピット線の第2の電圧値とを比較し、

第1の電圧値>第2の電圧値

の場合を第1の情報とし、

第1の電圧値<第2の電圧値

の場合を第2の情報として読み出すことを特徴とする。

【0027】本発明のメモリチップは、上述のいずれかの強磁性体不揮発性記憶素子が半導体基板上に形成されたことを特徴とする。

【0028】本発明の携帯型情報処理装置は、上述のいずれかの強磁性体不揮発性記憶素子よりなるプログラム格納メモリと、該プログラム格納メモリに格納されたプログラムに従って動作する制御手段とを有することを特徴とする。

【0029】上記のとおりの本発明によれば、単位セル(メモリセル)は2個の磁気抵抗素子と1個の半導体スイッチにより構成されるので、そのセル面積は、2T2R構造のものより小さくなる。

【0030】また、本発明によれば、以下のような作用により、前述した検出電圧を印加した際の磁気抵抗変動率が小さいことに伴う問題を解決することができる。

【0031】磁気抵抗素子は磁化の向きによってその電気抵抗値が異なる。本発明の強磁性体不揮発性記憶素子では、単位セル(メモリセル)が互いの磁化の向きが反対向きとなるように磁化される第1および第2の磁気抵抗素子より構成され、これら第1および第2の磁気抵抗素子の磁化の向きの組み合わせに応じて1ピットの情報の記憶が行われる。すなわち、第1および第2の磁気抵抗素子の抵抗値の大小関係が相反するように相補的に記憶される。例えば、第1および第2の磁気抵抗素子の抵抗

値の大小関係が、

第1の磁気抵抗素子<第2の磁気抵抗素子の場合を「0」、

第1の磁気抵抗素子>第2の磁気抵抗素子の場合を「1」として情報が記憶される。

【0032】上記のように第1および第2の磁気抵抗素子の抵抗値の大小関係で1ピットの記憶が記憶される場合、その記憶情報の再生(読み出し)は、各磁気抵抗素子の抵抗値の大小関係に基づいて行われる。すなわち、

10 第1の磁気抵抗素子の抵抗値と第2の磁気抵抗素子の抵抗値のいずれが小さいか(または、いずれか大きいか)によって情報が読み出される。具体的には、第1、第2の磁気抵抗素子がそれぞれ接続された第1、第2のピット線に生じる、上記抵抗値の大小関係に応じた電圧値を比較することにより情報の再生が行われる。このように各ピット線に発生する電圧が互いに参照電圧となるようすれば、温度特性分や配線長などの電圧変動を見込む必要がなくなり、小さな磁気抵抗変化率でも動作することができる。

20 【0033】さらに、本発明によれば、メモリセルの選択は1つの半導体スイッチにより行われるので、従来の2T2Rのセル構造のものと比べた場合、選択トランジスタのばらつきを見込む必要がないため、更に小さな磁気抵抗変化率で動作可能である。

【0034】さらに、本発明のうち、第1、第2の磁気抵抗素子の一方の端子がそれぞれダイオードを介して半導体スイッチ素子のドレイン端子に接続されるものにおいては、ダイオードにより電流の流れる方向が制限されるので、一方の磁気抵抗素子に流れる貫通電流が他方の磁気抵抗素子の側へ流れることはない。

【0035】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0036】(実施形態1) 図1は、本発明の第1の実施形態の強磁性体不揮発性記憶素子の構成を示す回路図、図2は、図1に示す強磁性体不揮発性記憶素子のメモリセルの部分断面図、図3は、図1に示す強磁性体不揮発性記憶素子のメモリセルの部分斜視図である。以下、図1～3を参照して、本形態の強磁性体不揮発性記憶素子の構成を詳細に説明する。

【0037】図1を参照すると、本形態の強磁性体不揮発性記憶素子は、行方向に複数の一対のピット線(「BL1aおよびBL1b」、「BL2aおよびBL2b」、「BL3aおよびBL3b」)が配列され、これらピット線と交差するように列方向に複数のワード線(WL1、WL2、WL3)および複数の書き込み線(L1、L2、L3)が配列されている。ピット線とワード線の各交差部には、1個の電界効果型トランジスタと強磁性体の磁化方向を選択することにより電気抵抗値を選択することができる一对の可変抵抗器とからなる、

1ビットのメモリを構成するメモリセルが配設されている（マトリクス配列）。図1に示した例では、マトリクス配列におけるアドレスを特定できるように、電界効果型トランジスタには「T11、T12、T13、T21、T22、T23、T31、T32、T33」の符号が付されており、一対の可変抵抗器には、それぞれ「R11a、R12a、R13a、R21a、R22a、R23a、R31a、R32a、R33a」、「R11b、R12b、R13b、R21b、R22b、R23b、R31b、R32b、R33b」の符号が付されている。

【0038】各一对のビット線（「BL1aおよびBL1b」、「BL2aおよびBL2b」、「BL3aおよびBL3b」）はそれぞれ、対となる線のそれぞれの一端にアドレス選択用のトランジスタが設けられ、他端はセンスアンプに接続されている。各書き込み線L1、L2、L3は、それぞれ両端にアドレス選択および電流の向きの切替のためのトランジスタが設けられている。

【0039】センスアンプは、コンパレータ（比較器）として動作するものであり、その入力端子には「+端子」と「-端子」があり、これら両入力端子に一对のビット線が接続されている。このセンスアンプにおける電圧比較動作では、

「+端子電圧」>「-端子電圧」
のときにハイ出力（すなわち、Vdd）、
「+端子電圧」<「-端子電圧」
のときにロウ出力（すなわち、0V）となる。

【0040】各メモリセルの構成は同じである。ここでは、図1の中央部の破線で囲んだメモリセルについて、その構成を具体的に説明する。このメモリセルは、1個の電界効果型トランジスタT22と一对の可変抵抗器R22a、R22bとからなる。電界効果型トランジスタT22は、ゲートがワード線WL2と接続され、ソースが接地され、ドレインが各可変抵抗器R22a、R22bの一端に共通に接続されている。可変抵抗器R22aの他端はビット線BL2aと接続され、可変抵抗器R22bの他端はビット線BL2bと接続されている。このメモリセルの概略構造を模式的に示したものが図2および図3である。以下、図2および図3を参照して、メモリセル構造をさらに詳細に説明する。

【0041】半導体基板1上に、周知の高集積シリコン半導体デバイス作製技術を用いて、ソース2、ドレイン3およびゲート絶縁膜4が形成され、さらに、ゲート絶縁膜4上に導電体からなるゲート電極5が形成されている。この部分が、図1に示す電界効果型トランジスタT22に相当する。この電界効果型トランジスタでは、ゲート電極5に所定の電圧を印加して、ゲート電極5直下の領域（ソース2とドレイン3の間）のキャリア密度を制御することによって、ソース2とドレイン3の間に流れる電流が制御され、増幅動作またはオン、オフの動作

が行われる。ソース2はソースコンタクトプラグ7を介して接地線8と電気的に接続され、ドレイン3はドレインコンタクトプラグ6を介してローカル配線10と電気的に接続されている。

【0042】接地線8上には、該接地線8に沿うように書き込み配線9（図1の書き込み線L2に相当する）が設けられている。この接地線8と書き込み配線9は絶縁されている。書き込み配線9の一部は上記ローカル配線10の一部と重なっており、両配線間は絶縁されている。この書き込み配線9とローカル配線10の重なり部分において、ローカル配線10は書き込み配線9上に位置しており、このローカル配線10上に一对の可変抵抗器（磁気抵抗素子）13、14（図1の可変抵抗器R22a、R22bにそれぞれ相当する。）が形成されている。可変抵抗器13は、上部がビット線15（図1のビット線BL2aに相当する。）に接しており、下部がローカル配線10と電気的に接続された端子11と接している。同様に、可変抵抗器14は、上部がビット線16（図1のビット線BL2bに相当する。）に接しており、下部がローカル配線10と電気的に接続された端子12と接している。ここで、可変抵抗器13、14は、強磁性体の磁化方向を選択することにより電気抵抗値を選択することができる可変抵抗器であって、例えば、GMRやCMR材料のような大きな磁気抵抗効果をもつ強磁性材料が用いられ、その磁化の向きあるいは磁化の有無に依存して、強磁性体を流れる電流に対する抵抗値が変化する。このように構成した可変抵抗器13、14では、外部磁場により強磁性体の磁化方向を選択することにより、抵抗値を選択することができる。同様の動作を期待できるものとして、GMRやCMR材料を用いるものの他にトンネル絶縁膜を用いたTMR素子などがある。

【0043】ここで、TMR素子について簡単に説明する。TMRは、トンネル絶縁膜をソフト層（保磁力が小さい強磁性層）とハード層（保磁力が大きい強磁性層）によって挟んだ構造を有しており、両層の磁化方向が平行な場合と、反対向きの場合とで、貫通電流を流したときの抵抗値が異なる。この特性を利用して、不揮発メモリを実現する。TMR素子を用いる場合、記憶した情報の書き替えは、ソフト層の磁化方向のみを書き換える場合と、ソフト層とハード層の両層の磁化方向を書き換える場合の2通りがあり、設計に応じて適宜選択することができる。

【0044】次に、図1に示した強磁性体不揮発性記憶素子における情報の書き込み・読み出し動作について説明する。各メモリセルにおける書き込み・読み出し動作は同じであるため、以下の説明では、中央部のメモリセル（図1の中央の破線で囲まれたメモリセル）における書き込み・読み出し動作を例にあげて説明する。

【0045】（1）読み出し動作：ここでは、一对の可

変抵抗器R22a、R22bは、常に反対向きに磁化され、その抵抗値も大小関係が相反するように相補的に記憶されているものとして説明する。

【0046】まず、各ピット線BL2a、BL2bの左端にそれぞれ電源電圧Vddを印加し、ワード線WL2に所定の電圧を印加しトランジスタT22をオン状態にする。トランジスタT22がオン状態になると、各可変抵抗器R22a、R22bに定常電流が流れる。このとき、各可変抵抗器R22a、R22bは、上記のとおり磁化方向が互いに反対向きになっており、その抵抗値も大小関係が相反するように記憶されているので、各ピット線BL2a、BL2bが接続されているセンスアンプの入力端子間に電圧差が生じる（ピット線の持つ容量と可変抵抗器の間で電荷の再分配が生じる）。これにより、可変抵抗器R22a、R22bのどちらが高抵抗かによって、センスアンプの出力が「Vdd」または「0V」のどちらかが選択されることになる。

【0047】通常、センスアンプは、数十mVの電圧差を検知して動作させることができが、ピット線端、選択用トランジスタのオン抵抗や可変抵抗器の抵抗値のばらつき分を上回る電圧差を発生させる必要があるため、従来は、可変抵抗器の磁気抵抗変化率を非常に大きくする必要があった。本実施形態の強磁性体不揮発性記憶素子においては、メモリセルを構成する2つの可変抵抗器はきわめて近接して配置されるため、抵抗値のばらつきは非常に小さい。

【0048】また、本実施形態の強磁性体不揮発性記憶素子においては、メモリセルを構成する一対の可変抵抗器は相補的に動作し、1対のピット線の各線に発生する電圧は互いが参照電圧となる。このように各ピット線に発生する電圧が互いに参照電圧となるようにすれば、温度特性分や配線長などの電圧変動を見込む必要がなくなり、小さな磁気抵抗変化率でも動作することができる。

【0049】さらに、本実施形態の強磁性体不揮発性記憶素子においては、2T2Rのセル構造と比べた場合、選択トランジスタのばらつきを見込む必要がないため、更に小さな磁気抵抗変化率で動作可能である。

【0050】(2)書き込み動作：ここでは、メモリセルを構成する2つの可変抵抗器R22a、R22b（図3の可変抵抗器13、14）のソフト層にのみ所望の磁化を書き込む動作について説明する。ここでも、可変抵抗器R22a、R22bは常に反対向きに磁化され、その抵抗値も大小関係が相反するように相補的に記憶されるものとして説明する。

【0051】まず、可変抵抗器R22aに磁化を書き込むために、ピット線BL2a（図3のピット線15）と書き込み線L2（図3の書き込み配線9）に所定の向きの電流を流す。図4は、この時の電流の向きと磁界の向きを示す模式図である。図5は図4に示す書き込み時のメモリセルの磁化反転の様子を示す図で、(a)は書き

込み配線に電流を所定の向きに流した時の磁化の状態を示す模式図、(b)はピット線に電流を所定の向きに流した時の磁化の状態を示す模式図、(c)は(b)の状態の磁気抵抗器を上から見た模式図である。図4および5に示すセル構造は、図3に示したものと同じものであり、同じ符号を付している。以下、図4および5を参照して、書き込み時のメモリセルの磁化反転について説明する。

【0052】書き込み配線9に書き込み電流I2が流れると書き込み磁場H2が発生するが、図5(a)に示すように、この書き込み磁場H2だけでは可変抵抗器（磁気抵抗素子）13の磁化方向は反転しない。ここでは、可変抵抗器13の磁化方向は予め書き込み磁場H2の磁場成分の方向とは反対の方向を向いているものとする。また、可変抵抗器R22aは、磁化されやすい軸（磁化容易軸）が書き込み磁場H2の磁場成分の方向に平行（ピット線15に平行）となっている。

【0053】上記の書き込み磁場H2が印加されている状態でピット線15に書き込み電流I1が流れると、書き込み磁場H1が発生し、この書き込み磁場H1と上記書き込み磁場H2の両磁場が可変抵抗器13に印加されることになる。ここで、書き込み磁場H1の磁場成分は、書き込み磁場H2の磁場成分に対して垂直となる方向に発生する。このようにして書き込み磁場H1、H2の両磁場が同時に印加されることで、はじめて、可変抵抗器13の磁化が反転する（図5(b)および図5(c)参照）。

【0054】上記のように、本形態では、書き込み配線9とピット線15のいずれか一方に電流を流すだけでは、可変抵抗器13の磁化方向は反転せず、両方の線に同時に電流を流すことで、はじめて可変抵抗器13の磁化方向が反転する。これにより、マトリクス状に配置されている可変抵抗器のうちから所望の可変抵抗器を選択的に磁化反転させることができる。

【0055】上述のようにして可変抵抗器R22aの磁化の書き込みが行われると、続いて、可変抵抗器R22bの磁化の書き込みが行われる。可変抵抗器R22bに磁化を書き込む場合は、ピット線BL2b（図3のピット線16）と書き込み線L2（図3の書き込み配線9）に、上記可変抵抗器R22aの場合とは逆方向の電流を流す。この場合も、上記可変抵抗器R22aの場合と同様、ピット線16と書き込み配線9の両線に電流を流すことで、はじめて磁化の反転が生じる。

【0056】本形態では、例えば、可変抵抗器R22aを図5(a)に示した方向に磁化し、可変抵抗器R22bをその逆の方向に磁化した状態を「0」とすれば、各可変抵抗器R22a、R22bの磁化を上述の書き込み操作で反転させることで、「1」の情報を書き込むことができる。

【0057】以上説明した書き込み、読み出し動作によ

り、DRAMに匹敵する動作速度を達成することができる。また、この場合のセル面積は、2T2R構造を持つMRAMよりも小さなものとすることができます。

【0058】次に、本実施形態の強磁性体不揮発性記憶素子の実施例についてその作製工程とともに構成を詳細に説明する。

【0059】(実施例) 図6(a)～(g)は、図2および図3に示した強磁性体不揮発性記憶素子のメモリセルの作製手順を示す工程断面図である。この例によれば、まず、図6(a)に示すように、半導体基板1上にソース2、ドレイン3、ゲート絶縁膜4、ゲート電極5を形成して、MOS(Metal-Oxide-Semiconductor)－FET(Field Effect Transistor；電界効果型トランジスタ)を含む基板を作製する。この基板におけるFETのソース2、ドレイン3の部分にそれぞれコンタクトホール7a、6aをあけてプラグを埋め込む(図6(b)参照)。下地には、Tiバリア膜を用いる。

【0060】次いで、配線層として、Ti/A1SiCu/Ti層を形成した後、周知のフォトリソ工程により所定のパターンに加工して接地線8とプラグ接続部分を形成し、さらに層間絶縁膜として周知のプラズマCVD法によるSiO₂膜20を形成し、上面を平坦化する(図6(c)参照)。

【0061】次いで、配線層として、Ti/A1SiCu/Ti層を形成した後、フォトリソ工程により所定のパターンに加工して書き込み配線9を形成し、さらに層間絶縁膜として周知のプラズマCVD法によるSiO₂膜21を形成し、上面を平坦化する(図6(d)参照)。

【0062】次いで、TMR素子への接続線としてのW(タンゲステン)層を形成し、フォトリソ工程により所定のパターンに加工してローカル配線10を形成する(図6(e)参照)。次いで、端子11となる下地層としてA1Cu層、TMR素子13aとしてNiFe/A₁O_x/Co積層膜を形成し、フォトリソ工程により所定の形状に加工した後、プラズマCVD法によりSiO₂膜22を形成して上面を平坦化する(図6(f)参照)。

【0063】次いで、書き込み線を兼ねたピット線15となるTi/A1SiCu/Ti層を形成した後、フォトリソ工程により所定のパターンに加工し、プラズマCVD法により層間絶縁膜としてのSiO₂膜を形成し、さらに保護層としてのSiN膜23を形成し、パッド領域の加工を行なって完成となる(図6(g)参照)。

【0064】以上の作製工程により所定の設計ルールで作製されたメモリセルを上面から見た配置を図7に示し、セル面積の比較のために、同様の設計ルールによって設計された従来の2T2R構造のメモリセルの配置を図8に示す。従来の2T2R構造のメモリセル(図8)では、セル面積が1ピットあたり約48F²(Fは最小加工寸法)であるのに対し、図7に示すメモリセルで

は、セル面積は約36F²となり、約25%の面積減少となった。

【0065】(実施形態2) 図9は、本発明の第2の実施形態の強磁性体不揮発性記憶素子のメモリセルの構成を示す回路図、図10は、図9に示すメモリセルの構造を示す部分斜視図である。図9に示す例では、便宜上、1つのメモリセルしか示されていないが、本形態においてもメモリセルは前述の第1の実施形態の場合と同様にマトリクス配列される。

【0066】図9を参照すると、行方向に一対のピット線BL1a、BL1bが配置され、これらピット線と交差するように列方向にワード線WL1および書き込み線L1が配置され、これらピット線とワード線の交差部にメモリセルが形成されている。このメモリセルは、1個の電界効果型トランジスタTRと強磁性体の磁化方向を選択することにより電気抵抗値を選択することができる2個の可変抵抗器R1a、R1bと、2個のダイオードD1a、D1bからなる。一対のピット線BL1a、BL1bは、センスアンプの入力端子の「+端子」、「-端子」にそれぞれ接続されている。

【0067】電界効果型トランジスタTRは、ゲートがワード線WL1と接続され、ソースが接地され、ドレインが各ダイオードD1a、D1bの一端に共通に接続されている。ダイオードD1a、D1bの他端は、可変抵抗器R1a、R1bの一端にそれぞれ接続されている。可変抵抗器R1aの他端はピット線BL1aと接続され、可変抵抗器R1bの他端はピット線BL1bと接続されている。このメモリセルの構造を模式的に示したものが図10である。

【0068】図10に示すセル構造は、ドレイン(P型)3にPN接合部40a、40bが形成され、可変抵抗器(磁気抵抗素子)13、14がローカル配線10a、10bにそれぞれ接続され、ローカル配線10a、10bがドレインコンタクトプラグ6a、6bを介してPN接合部40a、40bに電気的に接続されている以外は、図3に示したセル構造とほぼ同様のものである。図10中、図3に示したものと同じ構成部には同じ符号を付してある。

【0069】図10を参照すると、半導体基板(N型)1上に、周知の高集積シリコン半導体デバイス作製技術を用いて、ソース(P型)2、ドレイン(P型)3およびゲート絶縁膜4が形成され、さらに、ゲート絶縁膜4上に導電体からなるゲート電極5が形成されている。この部分が、図9に示した電界効果型トランジスタTRに相当する。ドレイン3のPN接合部40a、40bの各N領域にドレインコンタクトプラグ6a、6bがそれぞれ形成されている。このPN接合部40a、40bが、それぞれ図9に示したダイオードD1a、D1bに相当する。

【0070】本実施形態の強磁性体不揮発性記憶素子に

おいても、前述の第1の実施形態の場合と同様の原理で情報の書き込み、読み出しが行われるが、ダイオードD1a、D1bを配置したことにより、以下のようなセル間（可変抵抗器R1a、R1bの間）における回り込み電流が小さくなり、より安定な動作を実現することができる。

【0071】図11は、読み出し時のセル間の回り込み電流を模式的に示す。図9に示したダイオードD1a、D1bを有していない場合は、条件によっては図11に示すような回り込み電流が生じる。具体的には、b可変抵抗器R1aの抵抗値が可変抵抗器R1bのそれよりも低くなるように情報の書き込みが行われた場合で、可変抵抗器R1aの抵抗値がトランジスタTRのオン抵抗値より低い場合は、可変抵抗器R1bを流れる電流が可変抵抗器R1a側へ流れる（回り込み電流I1）。同様に、可変抵抗器R1bの抵抗値が可変抵抗器R1aのそれよりも低くなるように情報の書き込みが行われた場合で、可変抵抗器R1bの抵抗値がトランジスタTRのオン抵抗値より低い場合は、可変抵抗器R1aを流れる電流が可変抵抗器R1b側へ流れる（回り込み電流I2）。図9に示した例では、ダイオードD1a、D1bによってこの回り込み電流I1、I2を抑止している。この場合、回り込み電流は、第1の実施形態の場合と比べて約4桁小さくなる。

【0072】本実施形態の強磁性体不揮発性記憶素子も、前述の図6（a）～（g）に示した作製工程により作製することができる。セル面積は、第1の実施形態のものとほぼ同じである。

【0073】以上説明した第1および第2の実施形態の強磁性体不揮発性記憶素子において、可変抵抗器（磁気抵抗素子）にTMR素子を用いることができる。その場合、TMR素子を構成する強磁性体膜の磁化の向きは通常、膜の面内方向に対して水平方向とされる。

【0074】図12は、強磁性体膜が水平方向に磁化されるTMR素子を示す図で、（a）は抵抗大の場合の磁化の向きを示す模式図、（b）は抵抗小の場合の磁化の向きを示す模式図である。このTMR素子は、トンネル絶縁膜40を強磁性体膜41、42で挟んだ構造を有しており、強磁性体膜41の磁化の向きを、前述した書き込み動作と同様の動作により制御（磁化反転）することで抵抗値が変化する。具体的には、図12（a）に示すように、各強磁性体膜41、42の磁化方向が反対向きの場合は、TMR素子の抵抗値は大きくなり、図12（b）に示すように、各強磁性体膜41、42の磁化方向が同方向の場合には、TMR素子の抵抗値は小さくなる。なお、強磁性体膜42は、常に一定の方向に磁化されているものとする。また、各強磁性体膜41、42の磁化容易軸は、膜面内方向に対して水平方向になっている。

【0075】上記のように、TMR素子を水平方向に磁

化する場合、セルサイズが小さくなると、壁面付近（トンネル絶縁膜40と強磁性体膜41、42との境界付近）で磁化方向が反転する、カーリングと呼ばれる現象が発生し、磁化を安定に維持することが難しくなることが分かっている。

【0076】TMR素子を構成する強磁性体膜が、膜の面内方向に対して垂直方向に磁化されるように構成することで、上記のカーリング現象の問題を解決することができる。図13は、強磁性体膜が垂直方向に磁化される10TMR素子を示す図で、（a）は抵抗大の場合の磁化の向きを示す模式図、（b）は抵抗小の場合の磁化の向きを示す模式図である。このTMR素子は、トンネル絶縁膜50をGdやTbなどからなる強磁性体膜51、52で挟んだ構造を有しており、強磁性体膜51の磁化の向きを、前述した書き込み動作と同様の動作により制御（磁化反転）することで抵抗値が変化する。具体的には、図13（a）に示すように、各強磁性体膜51、52の磁化方向が反対向きの場合は、TMR素子の抵抗値は大きくなり、図13（b）に示すように、各強磁性体膜51、52の磁化方向が同方向の場合には、TMR素子の抵抗値は小さくなる。なお、強磁性体膜52は、常に一定の方向に磁化されているものとする。また、各強磁性体膜51、52の磁化容易軸は、膜面内方向に対して垂直方向になっている。

【0077】以上した本実施形態の強磁性体不揮発性記憶素子において、書き込み線を兼ねたピット線と書き込み線を銅を主体とする材料によって構成すれば、書き込み時に流れる電流の信頼性が損なわれることがなくなり、本形態の記憶素子を長期間にわたり安定に動作させることが可能となる。一般に、配線に大きな電流密度の電流を流すと、「エレクトロマイグレーション」と呼ばれる現象が発生することが知られている。この「エレクトロマイグレーション」現象は、金属中の伝導電子流が次第に金属原子を押し流し、配線を変形させ、最後には短絡、断線を引き起こす。書き込み線を兼ねたピット線と書き込み線を銅を主体とする材料によって構成することで、このような「エレクトロマイグレーション」現象による短絡、断線を抑止することができる。

【0078】さらに、メモリセルを構成する電界効果型40トランジスタのチャネル部分にSiGeを使用したり、基板の作製にSOI（Silicon On Insulator）技術を適用したりすることによって、通常のMOS構造のものより高速に動作させることができ、記憶素子のアクセス時間などを短縮させることができる。ここで、SOI技術とは、絶縁膜上に薄いSi膜を形成し、そのSi膜中にMOS集積回路をつくり込むことで、3次元集積回路を形成することをいう。このSOI技術によれば、MOSトランジスタの高速化の妨げとなる基板と寄生容量を低減させることができる。

【0079】本実施形態の強磁性体不揮発性記憶素子を

用いることで、メモリチップや、携帯式通信機器、パソコン用コンピュータ機器などの携帯型情報処理装置において、電源を遮断しても情報が失われることのない、いわゆる不揮発性機能を活かし、電源が不安定な使用条件でも安定したメモリ機能を提供することが可能である。また、従来のSRAM(Static Random Access Memory)を電池によりバックアップするなどして、ワーカメモリとして使用する場合などには、本形態の記憶素子を用いればバックアップ電源が必要なくなり、コストの削減および装置の小型化に大きく貢献することができる。さらにまた、プログラムメモリとして使用していたNOR型フラッシュメモリの代わりに、数桁高速に書き換え可能な本形態の記憶素子を用いることで、携帯式通信機器、携帯式パソコン用コンピュータなど携帯型情報処理装置の処理性能を飛躍的に向上させることができる。

【0080】以下、本発明の強磁性体不揮発性記憶素子を用いた、メモリチップおよび携帯型情報処理装置について説明する。

【0081】(1) メモリチップ：図6(a)～(g)に示した作製工程により半導体基板上に強磁性体不揮発性記憶素子(メモリアレイ)を形成してメモリチップを作製した。このメモリチップをEEPROM(Electrical Erasable and Programmable ROM)互換の駆動回路を付加した上で、リードフレーム(単一な枠構造を持つ金属製品で、チップ搭載部、ワイヤーボンディングのインナーリード部および基板へのはんだ付けのためのアウターリード部からなる。)に搭載してセラミックパッケージに封入した。このようにして作製されたメモリ素子は、40℃で1時間のストレス後も正常に動作した。

【0082】また、同一チップ上に、上記の強磁性体不揮発性記憶素子と、該強磁性体不揮発性記憶素子における情報の書き込みおよび読み出しの制御を行う制御回路(8ビットのマイクロプロセッサなどを含む)やその他種々の回路を配置して、組込み型磁気メモリチップを構成することも可能である。

【0083】(2) 携帯型情報処理装置：本携帯型情報処理装置は、前述の第1または第2の実施形態の強磁性体不揮発性記憶素子よりなる不揮発性メモリをプログラム格納メモリとして備え、制御回路がそのプログラム格納メモリに格納されたプログラムに従って動作するように構成したものである。一例として、図14に通信機能を有する携帯型情報処理装置の概略構成を示す。

【0084】図14において、携帯型情報処理装置は、所定のプログラムが格納されたプログラム格納メモリ60と、プログラム格納メモリ60に格納されているプログラムに従って動作する制御部61と、有線回線(電話回線などの一般公衆網、ISDNなど)または無線回線を介した情報の送受信が可能な通信部62と、液晶ディスプレイなどの表示部63と、記憶部64と、キーボードなどの入力部65とを有する。制御部61は、通信部

62を介した外部の情報端末との情報のやりとりを行ったり、表示部63への情報の表示を行う。また、制御部61は、演算結果を記憶部64へ記憶させることもできる。この他、制御部61は、入力部65からの入力に応じて、種々の処理、制御を実行することが可能である。このような制御部61による演算、制御により、既存のパソコン用コンピュータの機能に近いものを実現している。

【0085】以上のように、本携帯型情報処理装置は、10強磁性体不揮発性記憶素子をプログラム格納メモリとして用いて、DRAMを用いた場合とほぼ同様の性能を実現することができる。

【0086】なお、本携帯型情報処理装置では、プログラム格納メモリ60が前述した第1または第2の強磁性体不揮発性記憶素子により構成されているが、記憶部64も同様にその強磁性体不揮発性記憶素子で構成することも可能である。

【0087】

【発明の効果】以上説明したように、本発明によれば、20磁気抵抗変化率が小さくとも、高速に記憶情報を検出することができるような素子構造、駆動方法を提供することができる。このため、小さな印加電圧を用いて、安定に読み書き動作可能な不揮発性磁気メモリを提供することができる。

【0088】また、1T2R構造のメモリセルであるため、2T2Rのセル構造のものと比べて、セル面積の小さな不揮発性磁気メモリを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の強磁性体不揮発性記憶素子の構成を示す回路図である。

【図2】図1に示す強磁性体不揮発性記憶素子のメモリセルの部分断面図である。

【図3】図1に示す強磁性体不揮発性記憶素子のメモリセルの部分斜視図である。

【図4】図1に示す強磁性体不揮発性記憶素子のメモリセルの書き込み時の電流の向きと磁界の向きを示す模式図である。

【図5】図4に示す書き込み時のメモリセルの磁化反転の様子を示す図で、(a)は書き込み配線に電流を所定の向きに流した時の磁化の状態を示す模式図、(b)はビット線に電流を所定の向きに流した時の磁化の状態を示す模式図、(c)は(b)の状態の磁気抵抗器を上から見た模式図である。

【図6】(a)～(g)は、図2および図3に示す強磁性体不揮発性記憶素子のメモリセルの作製手順を示す工程断面図である。

【図7】図6(a)～(g)の作製工程により作製されたメモリセルを上面から見た配置を示す模式図である。

【図8】比較例としての従来の2T2R構造のメモリセルの配置を示す模式図である。

【図9】本発明の第2の実施形態の強磁性体不揮発性記憶素子のメモリセルの構成を示す回路図である。

【図10】図9に示すメモリセルの構成を示す部分斜視図である。

【図11】読み出し時のセル間の回り込み電流を示す模式図である。

【図12】強磁性体膜が水平方向に磁化されるTMR素子を示す図で、(a)は抵抗大の場合の磁化の向きを示す模式図、(b)は抵抗小の場合の磁化の向きを示す模式図である。

【図13】強磁性体膜が垂直方向に磁化されるTMR素子を示す図で、(a)は抵抗大の場合の磁化の向きを示す模式図、(b)は抵抗小の場合の磁化の向きを示す模式図である。

【図14】本発明の強磁性体不揮発性記憶素子を用いた、通信機能を有する携帯型情報処理装置の概略構成を示すブロック図である。

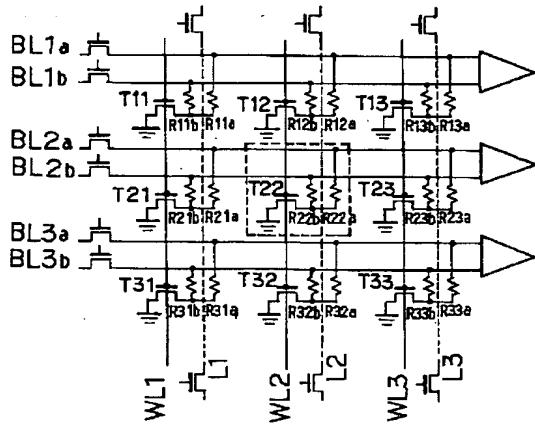
【図15】従来の磁性薄膜メモリのメモリセルの概略構成を示す回路図である。

【図16】従来の2T2R構造のメモリセルの概略構成を示す回路図である。

【符号の説明】

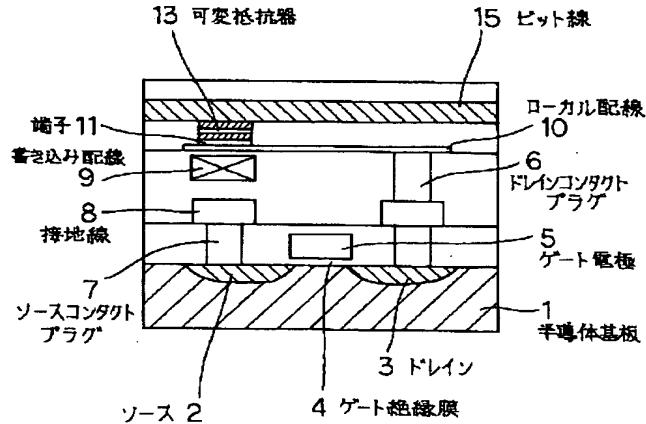
- 1 半導体基板
- 2 ソース
- 3 ドレイン
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6、6a、6b ドレインコンタクトプラグ
- 7 ソースコンタクトプラグ

【図1】

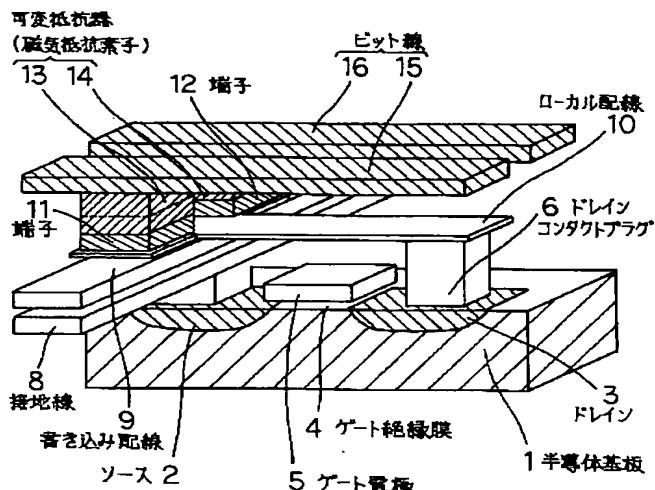


- 8 接地線
- 9 書き込み配線
- 10、10a、10b ローカル配線
- 11、12 端子
- 13 可変抵抗器 (磁気抵抗素子)
- 15 ピット線
- 20、21、22 SiO₂膜
- 23 SiN膜
- 30、31、200 メモリセル
- 40a、40b PN接合部
- 40、50 トンネル絶縁膜
- 41、42、51、52 強磁性体膜
- 60 プログラム格納メモリ
- 61 制御部
- 62 通信部
- 63 表示部
- 64 記憶部
- 65 入力部
- BL1a, BL1b, BL2a, BL2b, BL3a, BL3b ピット線
- WL1~WL3 ワード線
- L1~L3 書き込み線
- T11~T33 電界効果型トランジスタ
- R11a, R11b, R12a, R12b, R13a, R13b, R21a, R21b, R22a, R22b, R23a, R23b, R31a, R31b, R32a, R32b, R33a, R33b 可変抵抗器 (磁気抵抗素子)

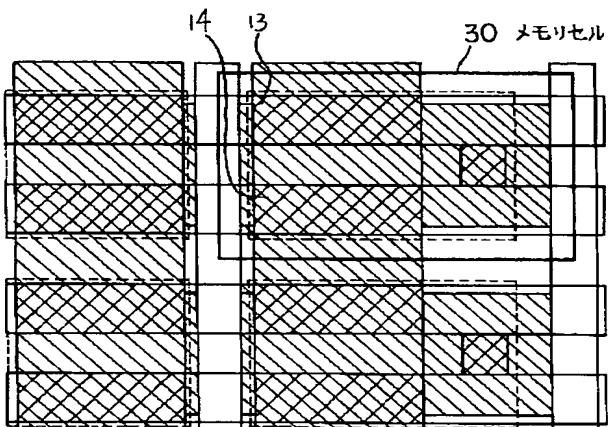
【図2】



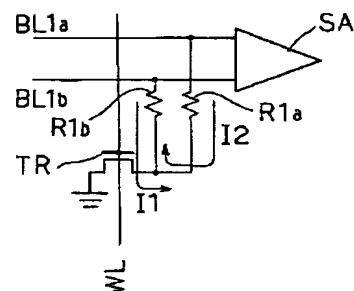
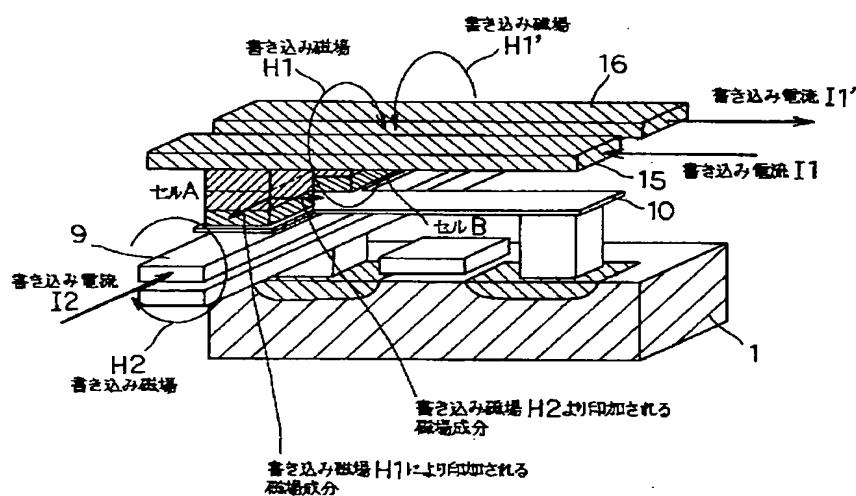
【図3】



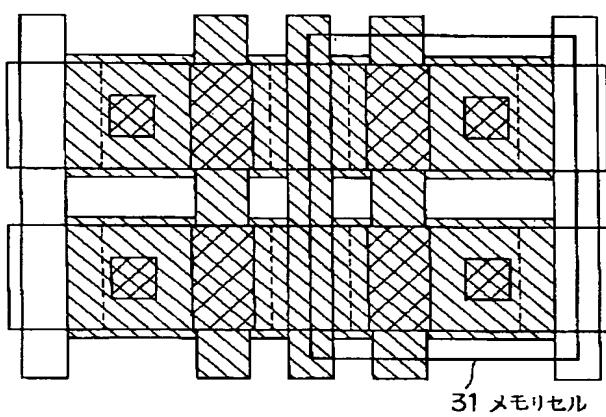
【図7】



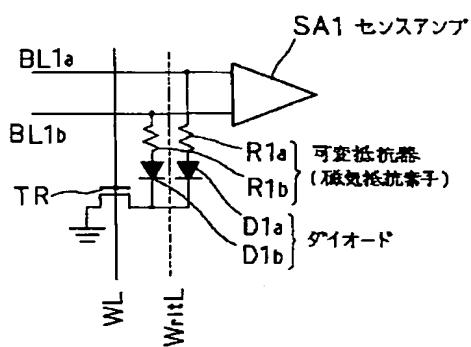
【図4】



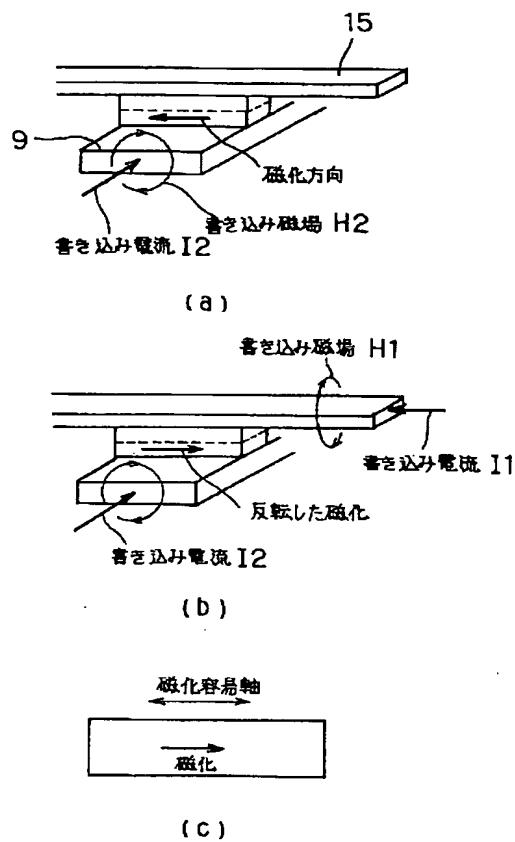
【図8】



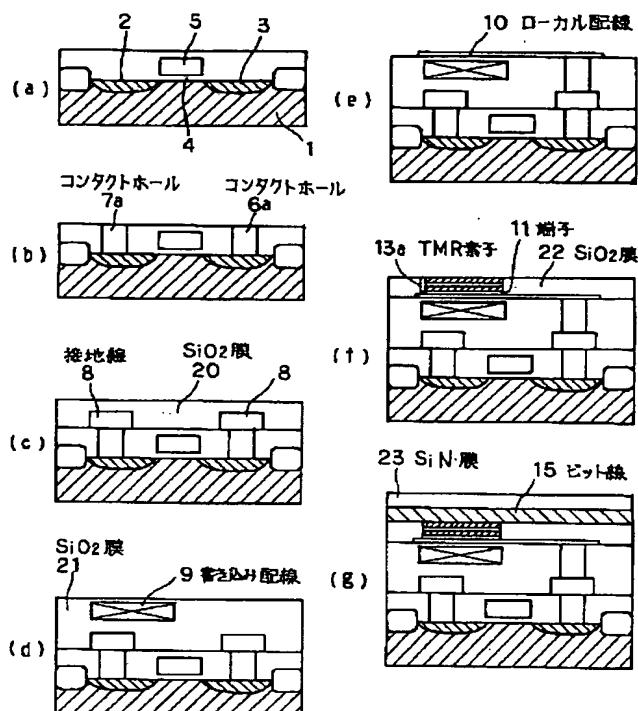
【図10】



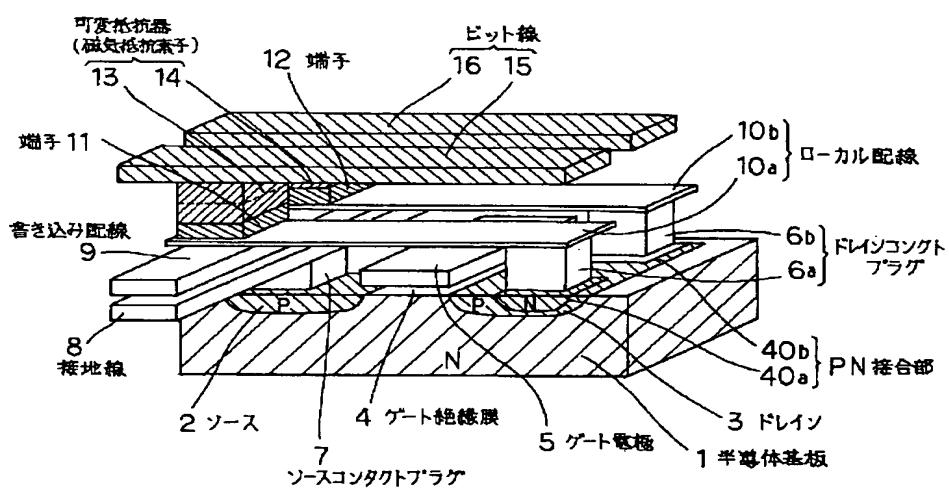
【図5】



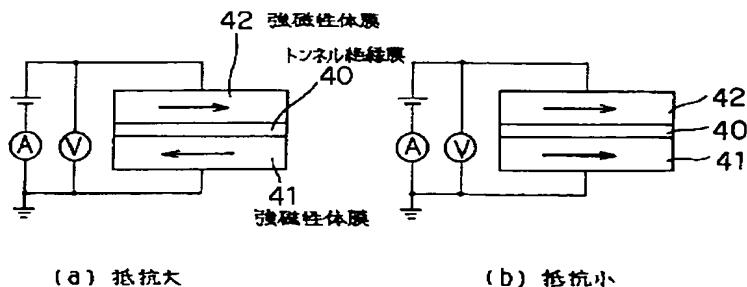
【図6】



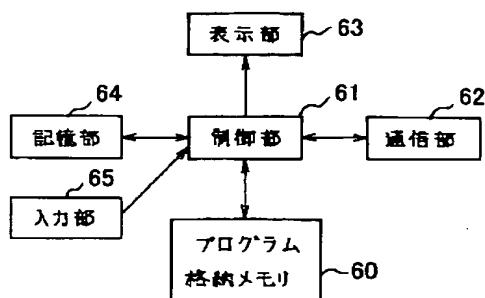
【図9】



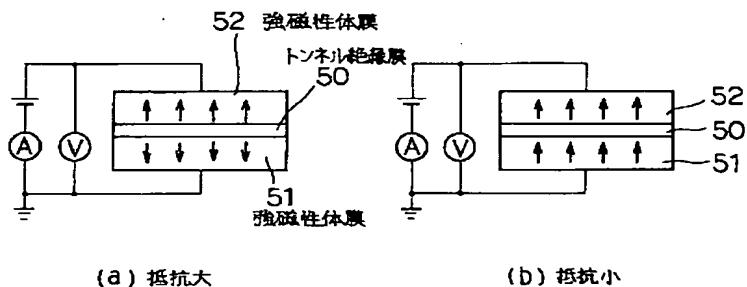
【図12】



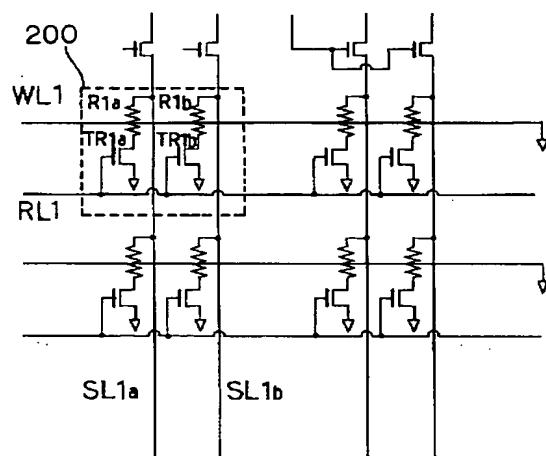
【図14】



【図13】



【図16】



【図15】

